

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hideo TSUCHIYA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: PATTERN INSPECTING METHOD AND PATTERN INSPECTING APPARATUS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

Japan

2002-382395

December 27, 2002

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 7 日
Date of Application:

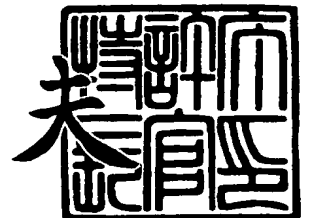
出 願 番 号 特 願 2 0 0 2 - 3 8 2 3 9 5
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 8 2 3 9 5]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 7 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000205997

【提出日】 平成14年12月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G01N 21/88

【発明の名称】 パターン検査方法及びパターン検査装置

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研
究開発センター内

【氏名】 土屋 英雄

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研
究開発センター内

【氏名】 加藤 芳秀

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研
究開発センター内

【氏名】 松木 一人

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研
究開発センター内

【氏名】 真田 恭

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研
究開発センター内

【氏名】 小川 力

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内

【氏名】 永尾 拓朗

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パターン検査方法及びパターン検査装置

【特許請求の範囲】

【請求項 1】 一方向に配列された被検査試料に一方向に形成された第 1 及び第 2 の検査領域に対して、一方向に直交する方向に複数の画素が配列された撮像手段を相対的に前記一方向に連続的に走査させるステップと、

前記走査中に前記撮像手段から第 1 の検査領域の画像を取り込んで第 1 の測定パターンを取得するステップと、

第 1 の測定パターン取得終了後の前記走査中に、前記撮像手段から前記第 2 の検査領域の画像を取り込んで第 2 の測定パターンを取得するステップと、

第 1 の測定パターンと第 2 の測定パターンとを比較し、前記被検査試料に形成されたパターンの欠陥有無を判定するステップとを含むパターン検査方法であって、

第 2 の検査領域からの画像の取り込み時、第 2 の検査領域中のパターンと前記撮像手段の画素との関係を第 1 の検査領域中のパターンと前記撮像手段の画素との関係に一致させることを特徴とするパターン検査方法。

【請求項 2】 一方向に配列された被検査試料に一方向に形成された第 1 及び第 2 の検査領域に対して、一方向に直交する方向に複数の画素が配列された撮像手段を相対的に前記一方向に連続的に走査させるステップと、

前記走査中に前記撮像手段から第 1 の検査領域の画像を取り込んで第 1 の測定パターンを取得するステップと、

第 1 の測定パターン取得終了後の前記走査中に、前記撮像手段から前記第 2 の検査領域の画像を取り込んで第 2 の測定パターンを取得するステップと、

第 1 の測定パターンと第 2 の測定パターンとを比較し、前記被検査試料に形成されたパターンの欠陥有無を判定するステップとを含むパターン検査方法であって、

第 2 の検査領域からの画像取り込み開始時の第 2 の検査領域と前記センサの画素との位置関係を、第 1 の検査領域からの画像取り込み開始時の第 1 の検査領域と前記センサの画素との位置関係に略一致させることを特徴とするパターン検査

方法。

【請求項 3】 前記被検査試料にパターンを形成する際に用いられた設計データから前記測定パターンデータに対応する参照パターンデータを生成するステップと、

前記第 1 及び第 2 の測定パターンデータと前記参照パターンデータとを比較して前記試料に形成されたパターンの欠陥有無を判定するステップとを更に含むことを特徴とする請求項 1 又は 2 に記載のパターン検査方法。

【請求項 4】 第 1 の検査領域及び第 2 の検査領域が一方向に配列された被検査試料に光又は電子線を照射する手段と、

前記試料からの反射光、透過光又は 2 次電子を検出する画素が一方向に直交する方向に配列された検出部と、

前記被検査試料と前記検出部とを相対的に一方向に移動させる手段と、

前記検出部に対する前記試料の位置を認識する位置認識手段と、

所定のタイミング毎に信号を出力する信号出力手段と、

前記移動手段による前記被検査試料と前記検出部との相対的な移動時、前記信号出力手段から出力された信号毎に前記検出手段で検出された画像を出力する手段と、

第 1 の検査領域から得られた画像と第 2 の検査領域の画像とを比較し、前記被検査試料に形成されたパターンの欠陥有無を判定する判定手段とを具備し、

前記信号出力手段は、前記位置認識手段の認識結果に基づいて第 1 の検査領域中のパターンと前記画素との関係を認識し、前記第 2 の検査領域からの画像の取り込み時、前記第 2 の検査領域中のパターンと前記画素との関係と認識された関係とが一致するように前記信号を出力するタイミングを調整することを特徴とするパターン検査装置。

【請求項 5】 前記被検査試料にパターンを形成する際に用いられた設計データから前記測定パターンデータに対応する参照パターンデータを発生する参照データ発生手段と、

前記第 1 及び第 2 の検査領域から得られた画像と前記参照パターンデータとを比較して前記試料に形成されたパターンの欠陥有無を判定するデータ判定

手段と、

を更に具備してなることを特徴とする請求項4に記載のパターン検査装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路の製造工程において使用されるフォトマスク等のように微細パターンが形成されている被検査試料のパターン欠陥を検査するパターン検査装置に関する。

【0002】

【従来の技術】

大規模集積回路（LSI）の製造プロセスにおいて、回路パターン転写用光縮小露光装置（ステッパ）は、4～5倍に回路パターンを拡大したフォトマスクを原版として用いる。このフォトマスクへの完全性（パターン精度および無欠陥など）への要求は年々極めて高くなっている。近年、超微細化・高集積化によってステッパの限界解像度近傍でパターン転写が行われるようになり、高精度フォトマスクがデバイス製造のキーとなってきた。このため、このような欠陥を検査する装置の開発が盛んに行われ実用化されている。

【0003】

中でも、超微細パターンの欠陥を検出するマスク欠陥検査装置の性能向上が先端半導体デバイスの短期開発・製造歩留まり向上には必須である。

【0004】

従来のマスク欠陥検査方法として、同じパターンが描かれた2つのチップをそれぞれ複数の画素を有するセンサでスキャン観察し、その両者の違いを適当な欠陥検出アルゴリズムによって比較し検出する方法（ダイーダイ比較方式）がある（例えば、特許文献1参照）。

【0005】

チップ画像を効率よく取り込むためには、ストライプ長さ方向に連続して存在する複数のダイを一度に貫通して走査し画像取込するのが良い。このために、画像は連続で撮影して、撮影画像をメモリに取り込み、取り込みと同時進行あるい

は1ストライプ分を取り込み完了後に、メモリ上の画像同士を比較する方法を採る。

【0006】

センサで取り込んだ画像はセンサの1画素を単位（メッシュ）とする2次元の多階調デジタル画像になる。一方、各ダイ（チップ）の寸法やダイ間の隙間寸法などと画像画素寸法は必ずしも整数倍の関係にはならないため、1つ目のダイ画像と2つ目のダイ画像を画素単位で重ねたとなると、各画像画素ともパターンずれを起こした如く見える。

【0007】

従来は、ダイ比較を実用的に行うには、このパターンずれを無くすように一方のダイ画像を補正している。その方法は、片側のダイ画像を複数画像画素の重み付け加重平均をとる等の原理でメッシュを切りなおしてダイ画像の画素同士の比較に供するものである。見かけ上のダイ画像の画素の位置を補正したうえで、ダイ対ダイ比較の欠陥判定アルゴリズムを適用していた。

【0008】

メッシュを切りなおす際にダイ画像の画素の補間を行うので、一種の平滑化処理を施したことになり、パターンずれを補正した方の画像は、原理的に画像がぼやける（平均化される）ことと、量子化誤差のため本来の欠陥信号、特に微小な欠陥の信号強度が鈍ってしまったり、パターンエッジのプロファイルが変わったりしてしまうなどの副作用があり、検査感度向上の限界となっていた。

【0009】

また、検査ストライプ幅方向（Y方向）に繰り返しダイが存在している場合にも、画像の画素のメッシュとダイの寸法の関係も同様に必ずしも整数倍の関係にならないため、X方向と同様の問題があり、Y方向のメッシュを切りなおす工程で生じる画像がぼやけることが検査感度向上の限界となっていた。

【0010】

【特許文献1】

特開平10-282008号公報

【0011】

【発明が解決しようとする課題】

上述したように、繰り返しチップ（ダイ）をダイーダイ比較で検査する際、複数画素の重み付け加重平均などの手段で、見かけ上の画像の画素の位置を補正すると、センサ取り込み画像のぼやけや欠陥パターン部分の信号が減衰するという問題があった。

【0012】

本発明の目的は、ダイーダイ比較で検査する際、見かけ上の画像の画素の位置を補正することなく検査し、欠陥検査装置の操作性と欠陥検出性能を向上させることができるパターン検査方法及びパターン検査装置を提供することにある。

【0013】**【課題を解決するための手段】**

本発明は、上記目的を達成するために以下のように構成されている。

【0014】

(1) 本発明の一例にかかわるパターン検査方法は、一方向に配列された被検査試料に一方向に形成された第1及び第2の検査領域に対して、一方向に直交する方向に複数の画素が配列された撮像手段を相対的に前記一方向に連続的に走査させるステップと、前記走査中に前記撮像手段から第1の検査領域の画像を取り込んで第1の測定パターンを取得するステップと、第1の測定パターン取得終了後の前記走査中に、前記撮像手段から前記第2の検査領域の画像を取り込んで第2の測定パターンを取得するステップと、第1の測定パターンと第2の測定パターンとを比較し、前記試料に形成されたパターンの欠陥有無を判定するステップとを含むパターン検査方法であって、第2の検査領域からの画像の取り込み時、第2の検査領域中のパターンと前記画素との関係を第1の検査領域中のパターンと前記画素との関係に一致させることを特徴とする。

【0015】

(2) 本発明の一例にかかわるパターン検査方法は、一方向に配列された被検査試料に一方向に形成された第1及び第2の検査領域に対して、一方向に直交する方向に複数の画素が配列された撮像手段を相対的に前記一方向に連続的に走査させるステップと、前記走査中に前記撮像手段から第1の検査領域の画像を取り

込んで第1の測定パターンを取得するステップと、第1の測定パターン取得終了後の前記走査中に、前記撮像手段から前記第2の検査領域の画像を取り込んで第2の測定パターンを取得するステップと、第1の測定パターンと第2の測定パターンとを比較し、前記被検査試料に形成されたパターンの欠陥有無を判定するステップとを含むパターン検査方法であって、第2の検査領域からの画像取り込み開始時の第2の検査領域と前記センサの画素との位置関係を、第1の検査領域からの画像取り込み開始時の第1の検査領域と前記センサの画素との位置関係に略一致させることを特徴とする。

【0016】

(3) 本発明の一例にかかわるパターン検査装置は、第1の検査領域及び第2の検査領域が一方に配列された被検査試料に光又は電子線を照射する手段と、前記試料からの反射光、透過光又は2次電子を検出する画素が一方に直交する方向に配列された検出部と、前記被検査試料と前記検出部とを相対的に一方に移動させる手段と、前記検出部に対する前記試料の位置を認識する位置認識手段と、信号を出力する信号出力手段と、この信号出力手段から出力された信号毎に前記検出手段で検出された画像を出力する手段と、第1の検査領域から得られた画像と第2の検査領域の画像とを比較し、前記被検査試料に形成されたパターンの欠陥有無を判定する判定手段とを具備し、前記信号出力手段は、前記位置認識手段の認識結果に基づいて第1の検査領域中のパターンと前記画素との関係を認識し、前記第2の検査領域からの画像の取り込み時、前記第2の検査領域中のパターンと前記画素との関係と認識された関係とが一致するように前記信号を出力するタイミングを調整することを特徴とする。

【0017】

【発明の実施の形態】

本発明の実施の形態を以下に図面を参照して説明する。

(第1の実施形態)

図1は、本発明の第1の実施形態に係わるパターン検査装置の概略構成を示す図である。

【0018】

本装置では、顕微鏡などを用いてフォトマスク（被検査試料）11に形成されているパターンを拡大し、図2に示すようにこの拡大パターンを幅（W）200 μ m程度の細い短冊状の検査ストライプに分割し、この検査ストライプが連続的に走査されるようにXY θ テーブル12がXY θ の各モータに制御され、検査が実行される。

【0019】

フォトマスク11は、XY θ テーブル12上に載置され、テーブル12の移動によりXY θ 方向に移動される。マスク11の上方には光源13が設置され、この光源13によってマスク11に形成されているパターンが照明される。マスク11を透過した光は、拡大光学系14を介してフォトダイオードアレイ15に入射する。従って、フォトダイオードアレイ15上には、マスク11のパターンの光学像が結像される。フォトダイオードアレイ15には、検査時の走査方向に直交する方向に複数のセンサ画素が配列されている。

【0020】

フォトダイオードアレイ15上に結像されたパターンの光学像は、フォトダイオードアレイ15によって光電変換され、さらにセンサ回路16によってA/D変換される。このセンサ回路16から出力された測定パターンデータは、位置回路17から出力されたXY θ テーブル12上におけるフォトマスク11の位置を示すデータと共にパターンメモリ30又は比較回路18に送られる。センサ回路16からの測定パターンデータの出力のタイミング制御は、スキャンタイミングコントローラ40から出力されるスキャン制御信号によって行われる。

【0021】

パターンメモリ30は、ストライプを検査中にストライプ全長の測定パターンデータを格納可能な容量を備えている。また、ストライプを検査中でパターン格納途中であっても、既に格納された、そのストライプの前半パターンを読み出すことと、新たに獲得中のストライプ後半パターンの書き込みとを並列動作可能に構成されている。

【0022】

比較回路18は、パターンメモリ30中に格納された測定パターンデータと、

センサ回路から入力された測定パターンデータとを適切なアルゴリズムに従って比較するものであり、これらが一致しない場合は欠陥ありと判定している。

【0023】

なお、図中の23はオートローダ、24はオートローダ制御回路、25はテーブル制御回路、31はフローピーディスク、32はCRT、33はパターンモニタ、34はプリンタを示している。

【0024】

図3は、一般的なフォトマスクに描かれているパターンの構成を示す概念図である。1枚のマスク50（フォトマスク11）上に同じチップ（ダイ）が2個描かれ、チップの内部はさらにセルと呼ぶ単位で繰り返しパターンが描かれている。マスク50に形成されるパターンは、周辺パターン51とメインパターン52とに分けられる。メインパターン52はさらにロジック・コントローラ部（周辺回路）53とメモリ部（セル）54とに分けられる。なお、図中の55はチップ原点、56はセル原点を示している。

【0025】

このような2個のチップ構成の場合、X方向或いはY方向に平行移動した関係に配置されることが一般的であり、図示しないが、4個や6個のチップを1枚のマスク上に形成する場合でも、X、Y繰り返しして行列配置状に配置されることが普通である。

【0026】

本実施形態ではチップAという同じチップが検査ストライプ長さ方向の2箇所配置されている場合を説明する。便宜上、第1のチップをA、第2のチップをA'と表現する。

【0027】

次に、本実施形態による欠陥検査動作を更に詳しく説明する。

図4は、本実施形態の検査装置において、検査ストライプ1本分の工程を説明するためのタイムチャートである。ここで例示する被検査マスクのチップ構成は、図3に示す如く検査ストライプ長さ方向（X方向）に2つのチップが配置されているものとする。

【0028】

まず、従来の装置と同様にオペレータが顕微鏡などの観察光学系を用いて、検査マスクを目視確認しながら各チップの開始座標とチップのサイズの概略を指示する。なお、ここで用いられる観察光学系は、実際の検査に用いられる検出光学系14、15と異なる。

【0029】

次に、最終的には、実際に検査するための画像取り込みと同じセンサを使った検出光学系14、15で検出された画像で各チップの座標を特定する。各チップの配置座標やパターンの実マスク上の座標は、レーザ測長システム28でステージ座標として取り扱えるようにされている。

【0030】

各チップは長方形形状の外形を有し、特定する座標は1つ目のチップの開始座標と終了座標である。これらの座標を対角線状に指定することで、一つ目のチップのXY方向の始点終点がわかる。繰り返されている2つ目以降の各チップの開始座標を入力する。これには一つ一つのチップの開始座標を指定していく方法でも良いし、1つ目から最も遠くのチップの開始座標を指定し、1つ目のチップと最も遠くのチップの間に繰り返し数が何回かを指定する方式でも良い。

【0031】

操作者はその検査の欠陥検出感度や検出光学系の倍率、比較アルゴリズムを適宜装置に指示して検査をスタートさせる。

【0032】

本装置は、指定された各チップが網羅されるよう検査範囲を設定し、X方向に一定の速度でステージを駆動させる。ステージが停止した状態から一定速度で駆動するためには若干の助走距離が必要である。よって、一定速度で走行するようになってからチップAの検査区間に差し掛かるように、助走距離を設定する。なお、駆動されているXYθテーブル12の位置が、レーザ測長システム28及び位置回路17により測定される。

【0033】

時刻t1でスキヤンタイミングコントローラ40はフォトダイオードアレイ1

5に取り込みイネーブル信号を送る。取り込みイネーブル信号により、フォトダイオードアレイ15はスタンバイ状態になる。

【0034】

また、取り込みイネーブル信号62はストライプ1本分の動作を許可するもので、スキャンタイミングコントローラ40が発生する信号の一つである。図4中ではLowレベルをアクティブ状態で表現している。ストライプの途中にチップの区切りが存在しても、取り込みイネーブル信号62はアクティブ状態を維持し、ストライプ全長が終わると、非アクティブ状態(Highレベル)に復帰する。取り込みイネーブル信号62はチップの開始・終了位置にステージが差し掛かったときに論理状態が変化する。なお、厳密には、取り込みイネーブル信号62が変化した直後の回路動作クロック60の立ち上がりエッジで、状態変化が確定する。

【0035】

時刻t2で、図5に示すように、フォトダイオードアレイ15の画像画素がチップAに差し掛かると、スキャンタイミングコントローラ40内で生成される検査イネーブル信号がアクティブになる。時刻t2での、ステージ座標とセンサ画素との位置関係を記録する。なお、図5では、縦方向の点線はスキャンパルスが発生した位置を示し、横方向の点線は画像画素の区切りを表している。なお、画像画素とは、フォトダイオードアレイ15で得られた画像の画素の事である。

【0036】

図5では説明の便宜のために、X方向の図形の開始位置(図形の左側エッジ)に画像画素のメッシュが一致に示すごとく示しているが、実際にはチップAのパターンが撮像された画像画素の位相状態(ずれ具合)を記録して、チップA'の図形パターンも同様の位相状態(ずれ具合)で、撮像されるように、スキャンタイミングコントローラ40はスキャン(動作)タイミングを調整する。

【0037】

通常、検査する必要がある図形パターンはチップ内に存在しており、各チップの座標を教示して教示した座標範囲を検査するが、図形パターンは各チップの開始座標にぴったり一致する位置から配置されているとは限らないので、画像画素

とチップの差し掛かり具合を一致させたとしても、最初の図形に対しては画像画素の差し掛かり位相は必ずしも一致しない。

【0038】

検査イネーブル信号61は実際のセンサのスキャン動作を許可するもので、図4中ではLowレベルをアクティブ状態で表現している。この信号はストライプの途中にチップの区切りが存在する場合($t_3 \sim t_4$)には、一旦、非アクティブ状態(Highレベル)に復帰し、チップA'に差し掛かると再びアクティブ状態になる。この信号も、厳密には、この信号が変化した直後の回路動作クロック60の立ち上がりエッジで状態変化が確定する。

【0039】

そして、時刻 t_2 で検査イネーブル信号がアクティブになると、スキャンタイミングコントローラ40は、スキャンパルスを出力する。一定速度で走行するステージ速度を $V[\text{mm/s}]$ 、画像画素が $S[\text{nm}]$ 角とすると、通常のスキャンパルスの間隔は $S/V[\mu\text{s}]$ となる。この種の検査装置の場合、スキャンパルスは、約 $10 \sim 25 \mu\text{s}$ 間隔程度の周期でアクティブになる。回路動作クロック60はスキャンパルスの周波数に比べて充分速く、 $25 \sim 50 \text{MHz}$ 程度である。スキャンパルスの周波数と回路動作クロック周波数は一定の規則で相対的な関係を決めておくものだが、ここでは説明を省略する。

【0040】

スキャンタイミングコントローラ40は、スキャンパルスをセンサ回路16、位置回路17、比較回路18、及びパターンメモリ30に出力する。スキャンパルスは、センサ回路16を介してフォトダイオードアレイ15に入力される。

【0041】

等時間間隔で出力されるスキャンパルスが出力されると、短冊状の検査ストライプの画像データが取得され(時間同期方式)、測定パターンデータとしてパターンメモリに格納される。フォトダイオードアレイ15で取得される画像は、2次元の碁盤の目状の画像データである。

【0042】

この際に、順次取得された測定パターンデータは、連続したメモリ番地に格納

する。この時、チップの区切りに相当するメモリ番地を参照可能な情報を付加するか別に記録しておくことが好ましい。

【0043】

そして、時刻 t_3 でフォトダイオードアレイ 15 による画像画素がチップ A の終了端にかかる、スキヤンタイミングコントローラ 40 は、検査イネーブル信号を非アクティブにし、チップ A からの画像の取得を停止させる。

【0044】

チップ A' に差し掛かる際のチップのスキヤン取り込み開始 (t_4) のステージ座標とセンサ画素との位相関係 (位置関係) が、時刻 t_2 と同様になるよう、スキヤンタイミングコントローラ 40 が管理を行う。ここでは、最も簡単な方法は走行中の X 座標とチップ A' の開始 X 座標を比較し、フォトダイオードアレイ 15 のセンサ画素がチップ A' の開始 X 座標に差し掛かる時点で検査イネーブル信号をアクティブにする。

【0045】

時刻 t_4 でフォトダイオードアレイ 15 のセンサ画素がチップ A' の開始 X 座標に差し掛かると、スキヤンタイミングコントローラ 40 は、検査イネーブル信号をアクティブし、スキヤンパルスの生成・出力を行う。なお、時刻 $t_3 \sim t_4$ までの間、取り込みイネーブル信号はアクティブであり、フォトダイオードアレイ 15 はスタンバイ状態である。また、スキヤンパルスは出力されていない。

【0046】

時刻 $t_4 \sim t_5$ の間に、実際のダイダイ比較が行われる。ダイ比較を行う方法は、チップ A' から取得された測定パターンデータを比較回路 18 に入力する。これと並行して、パターンメモリ 30 から先に記録してあるチップの区切りに相当するメモリ番地から測定パターンデータを順次読み出して、比較回路 18 に入力する。そして、比較回路 18 は、二つのデータを比較して、欠陥判定を行う。比較回路 18 は 2 つの測定パターンデータを適切なアルゴリズムに従って比較し一致しない場合は欠陥ありと判定する。

【0047】

チップ A とチップ A' のチップ同士の画像ずれは画像取り込みの際に補正して

いることになるので画像比較の際には、原則として位置合わせは不要である。但し、ストライプ幅方向（Y方向）のステージ走行揺らぎに起因するパターンずれや、ストライプ進行方向のステージ速度むらに起因する局所的な位置ずれ、被検査試料全体で生じているパターンの傾きや回転、伸縮などに起因する微妙な位置ずれや角度誤差のために、用意している比較判定アルゴリズムでは擬似欠陥（本来は欠陥としない程度の欠陥を誤指摘する現象）を避けきれない状況が考えられる。このため、例えば1画像画素未満の寸法の補正を行える補正手段が必要になる場合があるであろう。

【0048】

そして、時刻 t_5 でフォトダイオードアレイ15のセンサ画素がチップA'の終了X座標に達すると、検査イネーブル信号を非アクティブにし、スキャンパルスが発生、チップA'からの画像の取得、ダイダイ比較を終了させる。そして、時刻 t_6 で、取り込みイネーブル信号を非アクティブ状態にする。

【0049】

X方向に繰り返されるチップの数が3以上の場合には上述した、チップAの取り込みが済んでからチップA'に差し掛かるまでの間の処理と同様のスキャンパルス発生タイミング調整を行う。

【0050】

以上の方法でチップ（ダイ）比較を行うための複数チップの1ストライプ分の測定パターンデータが取り込める。

【0051】

本実施形態によれば、取り込む際にチップA内のパターンと画像画素との関係と、チップA'内のパターンと画像画素との関係とを一致させているので、繰り返しチップ（ダイ）をダイ対ダイ比較で検査する際に複数画像画素の重み付け加重平均などの手段で、見かけ上の画像画素の位置を補正する工程が不要となり、センサ取り込み画像のぼやけや欠陥パターン部分の信号が減衰することなく欠陥判定できるようになるため検査装置の検出感度を向上することかできる。

【0052】

以上の説明はステージをFWD方向に移動させて画像を取り込む場合であるが

、ステージをBWD方向に移動させる場合にはX方向にn個のチップが形成されているうちのn番目のチップをダイ比較の基準としてメモリに取り込み、(n-1)番目のチップのセンサ画像データを取り込むのと同時に、パターンメモリを読み出して、n番目のチップと(n-1)番目のチップの測定パターンデータを比較回路18に並列に送り込み欠陥判定を行わせる。以降、順次n番目のチップと1個目のチップの比較まで動作させる。

【0053】

X方向のチップ構成数が3つの場合は、図6に示すように、チップA”の測定パターンデータを取り込む際に、チップAの測定パターンデータを再度パターンメモリから読み出すことと、第3のチップの測定パターンデータを比較回路18に並列に送り込み欠陥判定を行わせる。

【0054】

X方向のチップ構成数が4つ以上の場合も同様にチップAの測定パターンデータと取り込み中のチップの測定パターンデータを比較回路18に並列に送り込み欠陥判定を行わせる。

【0055】

短冊幅方向(Y方向)に繰り返されているチップ同士を比較する際には、各チップの開始Y座標に基づいて、検査ストライプ位置(Y座標)を調整して、画像画素の差し掛かり具合を一致させる。

【0056】

なお、上記実施形態では、時間同期方式でスキャンパルスが発生させていたが、図7に示すような位置同期方式でスキャンパルスが発生させても良い。なお、図7では、縦方向の点線はスキャンパルスが発生した位置を示し、横方向の点線は画像画素の区切りを表している。XY θ テーブル12がX方向に画像画素寸法だけ移動する都度スキャンパルスが発生させる。スキャンパルスが発生するX座標は、チップAのメモリ取り込み開始X座標(図4のt2ポイント)を起点としてX座標の双方向(±X方向)に画像画素寸法毎に定義しておく。スキャンパルスが発生するX座標は、チップA’のメモリ取り込み開始X座標(図4のt4ポイント)を起点として、X座標の双方向(±X方向)に画像画素寸法毎に定義し

ておく。チップAのメモリ取り込みが終了するまでの間、スキャンパルスは、チップAの取り込み開始X座標を基準に定義されたスキャンパルス発生ポイント毎に発生する。チップAのメモリ取り込み終了後～チップA'のメモリ取り込み終了後の間、スキャンパルスは、チップA'の取り込み開始X座標を基準に定義されたスキャンパルス発生ポイント毎に発生する。

【0057】

位置同期方式の場合、テーブル12が一定速度でなくても、メモリ取り込み開始X座標に一致した基盤の目状の画像を取り込むことができる。

【0058】

なお、チップAのメモリ取り込み開始X座標が画像画素の端に一致しなくても良い。この場合、チップA'領域取り込み開始X座標と画像画素（センサ画素）との位置関係が、チップAのメモリ取り込み開始X座標と画像画素との位置関係を再現できるようにする。

【0059】

なお、位置同期方式の場合、スキャンパルスが出力されても検査イネーブル信号が非アクティブ状態の時は、スキャンパルス毎に画像が取り込まれるが、取り込まれた画像は、メモリ又は比較回路に送られず、検査が行われない。検査イネーブル信号が非アクティブである時刻 $t_1 \sim t_2$, $t_3 \sim t_4$, $t_5 \sim t_6$ の間は、スキャンパルスが出力されていても、

チップ間の走行中では、センサ取り込み画像は実際には検査の欠陥判定をすることはない。検査の欠陥検出動作は、検査イネーブル信号61がアクティブ状態（Lowレベル）に行なわれる。

（第2の実施形態）

以上説明した第1の実施形態では、時刻 $t_2 \sim t_3$ の間に、チップAから得られた測定パターンデータをパターンメモリ30に格納する。そして、時刻 $t_4 \sim t_5$ の間に、チップA'から得られた測定パターンデータを得ると共に、対応する測定パターンデータをメモリから読み出し、二つの測定パターンデータを比較回路18に並列に送り込み欠陥判定を行わせている

比較回路18での比較判定処理が画像取り込み速度に比べて充分早い場合には

問題ない。しかし、比較回路 18 での比較判定処理が画像取り込み速度より遅れた場合には、比較処理が間に合わない「タイミングエラー」を起こすことになる。このエラーを検知した場合には、一旦比較処理を中断して、検査速度を遅くするためにステージ走行速度を下げるか、比較回路 18 での負荷を軽くするために検査ストライプ幅を細くする処理を施したうえでリトライ、すなわち当該ストライプの検査をやり直すことになる。

【0060】

本実施形態では、パターンメモリ 30 は、ストライプの検査中に全てのチップのストライプ全長の測定パターンデータを格納可能な容量を備えている。また、ストライプの検査中でパターン格納途中であっても、新たに取り込み中の測定パターンデータの書き込みとすでに格納済みの当該測定パターンデータの読み出しを並行可能に構成している。さらに、現在取り込み中のチップ以前の、その検査ストライプでの格納済みの測定パターンデータを読み出すことも可能とする。

【0061】

この構成で、ストライプ先頭からチップ A の測定パターンデータをパターンメモリ 30 に格納する。チップ A' 画像の測定パターンデータをパターンメモリ 30 に格納開始すると同時に、パターンメモリ 30 からチップ A の測定パターンデータとチップ A' の測定パターンデータを並行して読み出して比較回路 18 に並列に送り込み欠陥判定を行わせる。

【0062】

この構成において、パターンメモリ 30 からの読み出しは、比較回路 18 での比較判定処理の進行に応じて行われることになる。従って、比較回路 18 での比較判定処理がチップ画像取り込み速度より遅い場合であっても、パターンメモリ 30 への書き込みが先行するだけで、測定パターンデータの格納と比較処理は進められる。比較回路 18 での第 1 とチップ A' 画像の比較判定処理がチップ A' 画像を取り込みが終わった時点で完了していなくても、ステージの走行は続き、引き続き第 3 以降のチップの画像取り込みに進める。比較回路 18 での比較判定処理は追って進行する。1 ストライプ分の複数チップの画像を取り込み終わった時点で、比較回路 18 での比較判定処理の終了を待ち、次のストライプに進める

。

また、図8に示すように、検査ストライプ全長を取り込んだ後に、パターンメモリ30から測定データを読み出して比較判定を行うことも可能である。

【0063】

(第3の実施形態)

以上説明した第1～第2の実施形態は、検査用の検査基準データ（参照パターンデータ）がなくてもダイ対ダイ比較を行えるが、以下に説明するように、試料作成時の設計データを読み込んでダイ対データベース検査を併用する場合でも、本発明のチップ毎に画像画素位置とパターン位置の関係を揃えることは実施可能である。

【0064】

まず、チップの開始終了座標をオペレータが顕微鏡などの観察光学系を用いて被検査マスクを目視確認しながら座標特定していた工程を、設計データのデータ記述構成の特徴を利用して自動的に行う。

【0065】

設計データは図9に示すようにチップの定義とセルの定義が階層構造になっている。なお、この例では、チップの配置座標は図3のように該チップの左下頂点と定義している。このようなデータ構造であれば、チップの配置座標の状況から、このマスクのチップは「第1のチップの配置原点座標1」および「第2のチップの配置原点座標2」という具合に2カ所に配置されていることを読み取ることができる。

【0066】

このため、第1のチップの開始座標（X、Y）、第2のチップの取り込み開始点でダイ対ダイ比較を開始する座標、これら第1と第2のチップの領域が終了し隙間となる部分、第3のチップ以降も同様に座標を読み取り、1ストライプ検査の終了座標までをオペレータの教示なしで自動認識することができる。

【0067】

最近はさらに集積度の高いLSIの出現が望まれ、これに伴って光転写装置の解像度をさらに向上させることが望まれている。この要望を実現する手段として

、フォトマスクに光の干渉を利用する位相シフトパターンを設けることが提案されている。即ち、図3に示したフォトマスクにおいて、これらメインパターン52の特に微細パターンの形成が要求される部分に位相シフトパターンを形成することが必要となっている。

【0068】

位相シフトパターンを用いたマスクを検査すると検査光の波長によってはパターンエッジ部分で光量の変化量が急峻になるなど、従来にない特殊な現象が生じて、ダイーデータベース比較方式ではセンサ像によく一致する参照データを発生できないケースが生じるようになった。

【0069】

ダイーダイであれば、このような検査光の波長に依存するパターンエッジ部分の特殊な振る舞いは、比較するにあたっての基準パターンデータと被検査パターンの双方に存在するので、相殺されることになり、結局は擬似欠陥を回避して本来の欠陥を検出することが可能になる。反面、2つのチップに同じ欠陥が存在した場合、その欠陥部を検出できない欠点もある。

【0070】

このように、ダイーダイ方式とダイーデータベース方式はそれぞれ長所・短所があるため併用することはすでに検討されている（特願2002-240858）。

【0071】

図10に比較回路18内でダイーダイとダイーデータベース比較を行うためのパターン検査装置の構成を示す。図10に示すパターン検査装置には、図1に示すパターン検査装置に対して、展開回路21及び参照データ発生回路22を更に具備する。

【0072】

フォトマスク11へのパターン形成時に用いた設計データは、磁気ディスク19から制御計算機20を通して展開回路21に読み出される。展開回路21では、設計データがビットパターンデータに展開され、このビットパターンデータは参照データ発生回路22に送られる。

【0073】

参照データ発生回路22では、展開回路21から送られてきた図形のビットパターンデータに適切なフィルタ処理を施すことにより、多値の参照パターンデータが生成される。参照データ発生回路22におけるフィルタは、拡大光学系14の解像特性やフォトダイオードアレイ15のアパーチャ効果、隣接画像画素間の干渉などによって生じるぼやけを模擬するものである。即ち、センサ回路16から得られた測定パターンデータにはこのぼやけが生じた状態にあるため、設計側のデータにもフィルタ処理を施して測定パターンデータに合わせるためである。

【0074】

また、比較回路18には、図11に示すように、ダイーデータベース比較用の回路18aとダイーダイ比較用の回路18bとが設けられている。ダイーデータベース比較用の回路18aには、参照データ発生回路22で得られる参照データとセンサ回路16で得られるセンサデータが入力される。ダイーダイ比較用の回路18bには、センサデータと、センサデータを一旦パターンメモリ30に格納して所定の条件が成立後から読み出されるセンサデータが入力される。

【0075】

比較回路18では、ダイーデータベース比較方式と、ダイーダイ比較方式との2つの検査モードを有し、これらの一方又は両方を同時に行うようになっている。

【0076】

比較回路18はダイーダイ比較を併用している期間は、ダイーデータベース比較による欠陥検出とダイーダイ比較の両方で欠陥を検出するが、これらはそれぞれ異なる欠陥判定条件や欠陥判定しきい値を適用するのが良い。このため、描画装置の描画異常などによる複数チップに共通した欠陥はダイーデータベース比較により検出し、微細パターンの線幅異常などデータベース比較方式では検出感度を向上しにくい欠陥はダイーダイ比較で検出するなど、従来のダイーデータベース比較とダイーダイ比較の単機能機では実現し得なかった検出性能を実現できる。

【0077】

図12は、本実施形態の検査装置において、検査ストライプ1本分の工程を説明するためのタイムチャートである。ここで例示する被検査マスクのチップ構成は、図3に示す如く検査ストライプ長さ方向（X方向）に2つのチップが配置されているものとする。さらに、例示しているストライプは予めダイーダイ検査すべき指定が為されていて、検査開始前のダイ抽出工程においてもダイーダイ検査し得ることを検出済みとする。

【0078】

ダイーダイ検査し得る領域は時刻 t_4 から t_5 の区間である。ダイーデータベース検査は時刻 t_1 から t_6 の全期間に渡って行われる。時刻 t_1 からダイーデータベース検査が始まり、時刻 t_2 に達した時からチップAの検出画像はパターンメモリ30にも取り込まれる。時刻 t_3 でチップAの境界のダイシングと呼ばれる部分に差し掛かるため、パターンメモリ30への取り込みを完了させる。時刻 t_4 でダイーダイ検査のため、チップA'の検出画像をダイーダイ比較用回路18bに入力すると共に、パターンメモリ30からチップAの検出パターン像を読み出して、ダイーダイ比較用回路18bに入力する。

【0079】

ダイとダイの隙間部分でセンサスキャンパルスの発生タイミングを調整して、チップ毎に画像の画像画素位置とパターン位置の関係を揃えるため、ダイーデータベース比較のための参照データ側も、これに合わせた画像画素で設計データからデータ展開を行って、ダイ対ダイ比較と同様に比較回路での比較に際してダイ画素位置合わせを不要にできる。

【0080】

設計データが利用できれば、その情報からダイーダイ検査に必要なチップの配置状態、チップ構成数、チップ寸法、繰り返しピッチなどを読み取り、自動で検査に着手できる。オペレータによるティーチング無くとも自動でキャリブレーション、アライメント、ダイーダイ検査を行える。

【0081】

（変形例） なお、本発明は上述した各実施形態に限定されるものではない。以上の説明では、各ダイの開始座標とセンサスキャンパルスのタイミングの位相

を一致させる方法を説明しているが、本発明の趣旨は、必ずしもセンサ画像のメッシュの位相がダイの開始座標に同期している必要はなく、第1のダイの開始座標がセンサ画像のちょうど中央で始まったとしたら、第2のダイの始点も画像画素のちょうど中央にかかるようにタイミングを調整すれば良い。すなわち、第1の画像画素に対する位相を記録し、その位相を第2のダイ以降にも再現させるように制御しても良いのである。

【0082】

以上説明した各実施形態は、1つの撮影手段でダイ対ダイ比較を行わせる場合を述べているが、二つの撮影手段があり、それぞれの撮影手段の光軸を微調整する手法が採れない場合でも、本発明の方式は応用可能である。つまり、機械的にそれぞれの撮影手段の光軸を画像画素単位まで一致させるのが困難な場合には、一方の取り込み手段にセンサスキャンパルスのタイミングを調整する手段を設けて、センサスキャンパルスをそのダイの座標に合わせて発生させれば良い。

【0083】

測定パターンデータを取得するために検出するのは、必ずしも透過光に限定されず、反射光を用いてもよく、更には透過光と反射光の両方を同時に用いてもよい。検査に用いる光源は必ずしも光に限定されず、電子線を用いることもできる。光源として電子線を用いた場合は、反射光や透過光の代わりに2次電子を検出すればよい。

【0084】

また、被検査試料は必ずしもフォトマスクに限るものではなく、本発明は半導体基板や液晶基板などに形成された極小パターンの欠陥検査に適用することも可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0085】

【発明の効果】

以上説明したように本発明によれば、ダイーダイ比較で検査する際、見かけ上の画像の画素の位置を補正することなく検査することができ、欠陥検査装置の操作性と欠陥検出性能を向上することができる。その結果、露光用マスクや半導体

素子、LCD生産歩留まりが向上すると共に製品の手戻りが減少し、総生産コストを削減することができる。

【図面の簡単な説明】

【図1】 第1の実施形態に係わるパターン検査装置の概略構成を示す図。

【図2】 フォトマスクの検査ストライプの説明図。

【図3】 一般的なフォトマスクに描かれているパターンの構成を示す概念を示す平面図。

【図4】 第1の実施形態に係わる検査ストライプ1本分の工程を説明するためのタイムチャート。

【図5】 第1の実施形態に係わるダイ領域中のパターンと画像取り込み時の画像画素との関係を示す図。

【図6】 第1の実施形態に係わる検査ストライプ1本分の工程を説明するためのタイムチャート。

【図7】 第1の実施形態に係わるダイ領域中のパターンと画像取り込み時の画像画素との関係を示す図。

【図8】 第2の実施形態に係わるダイ領域中のパターンと画像取り込み時の画像画素との関係を示す図。

【図9】 設計データの構造を示す図。

【図10】 第3の実施形態に係わるパターン検査装置の概略構成を示す図。

【図11】 図10のパターン検査装置に用いた比較回路の構成を示すブロック図。

【図12】 第3の実施形態に係わる、検査ストライプ1本分の工程を説明するためのタイムチャート。

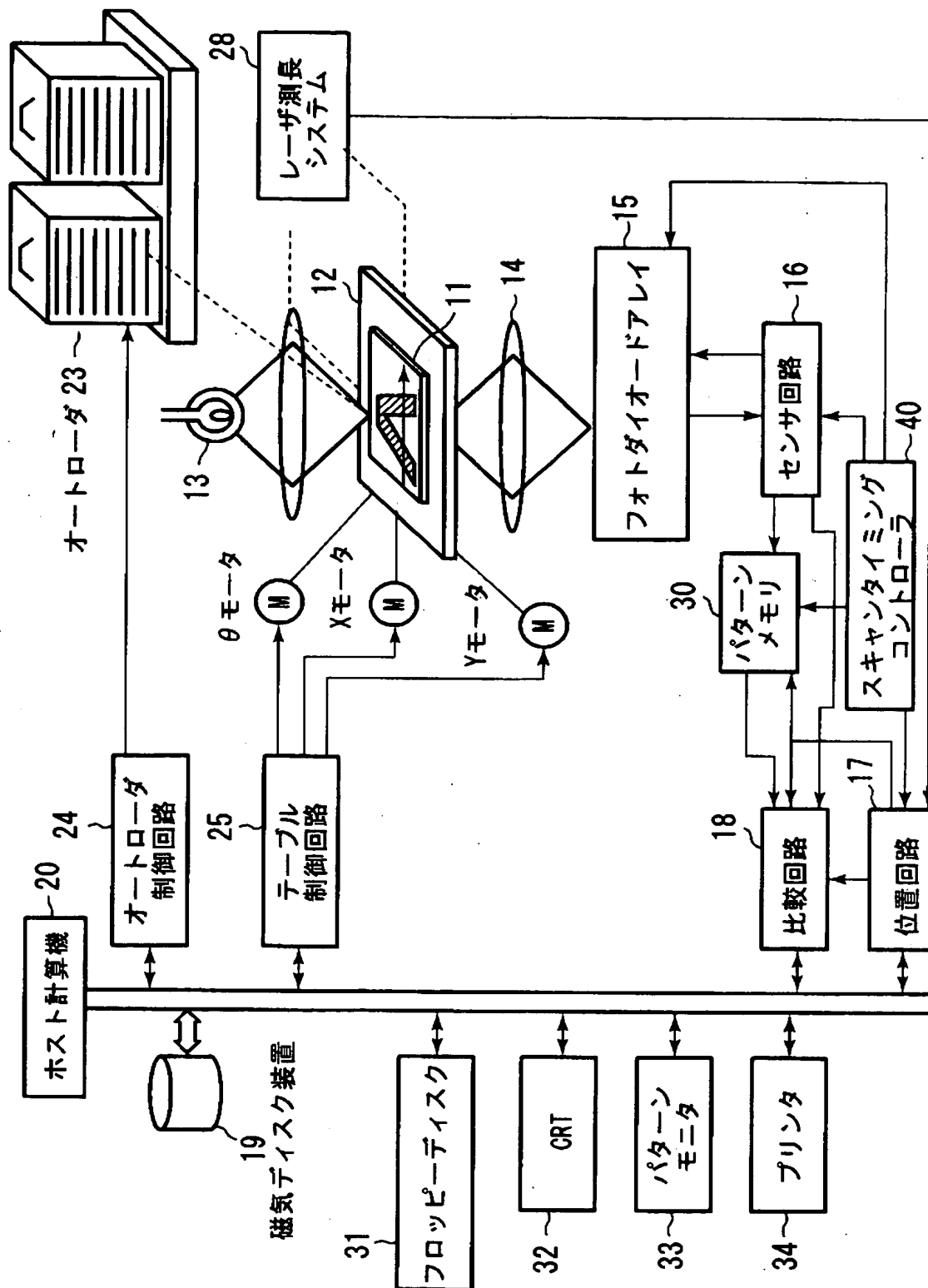
【符号の説明】

11…フォトマスク、12…XYθテーブル、13…光源、14…拡大光学系、15…フォトダイオードアレイ、16…センサ回路、17…位置回路、18…比較回路、19…磁気ディスク、20…制御計算機、28…レーザ測長システム、30…パターンメモリ、40…スキャンタイミングコントローラ

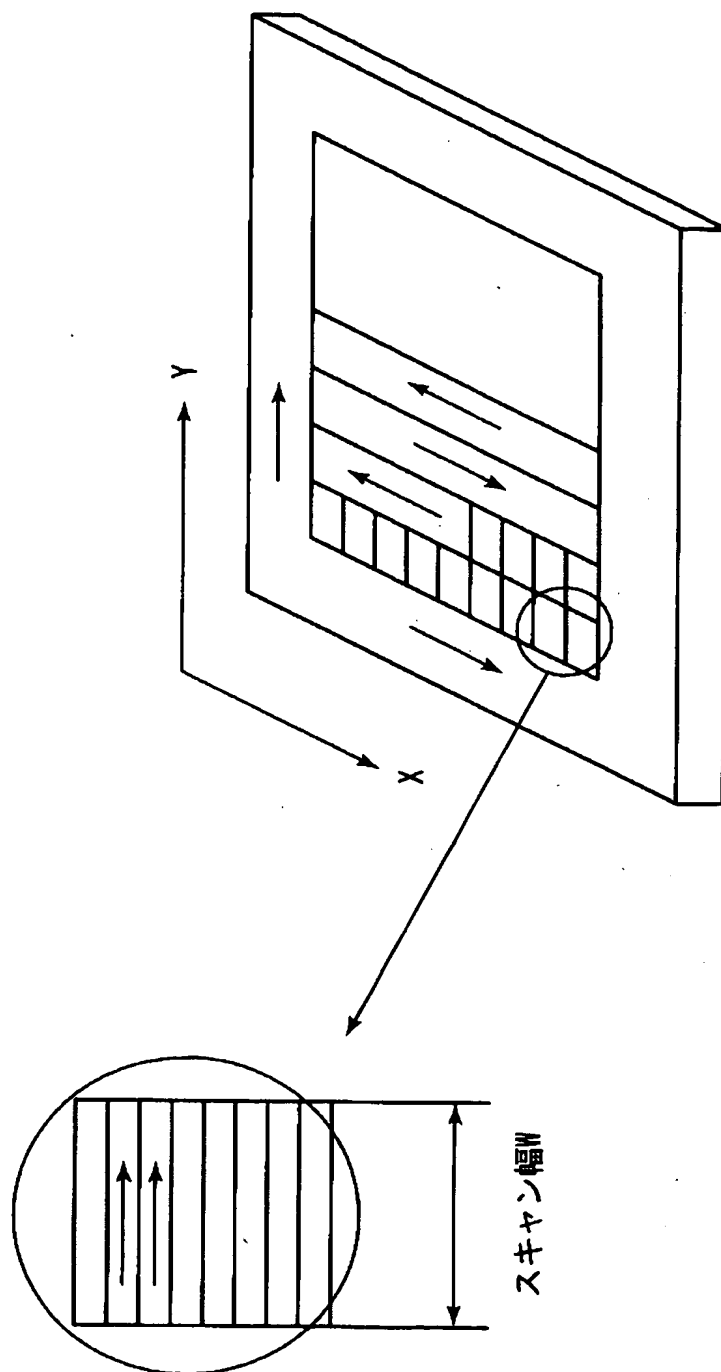
【書類名】

凶面

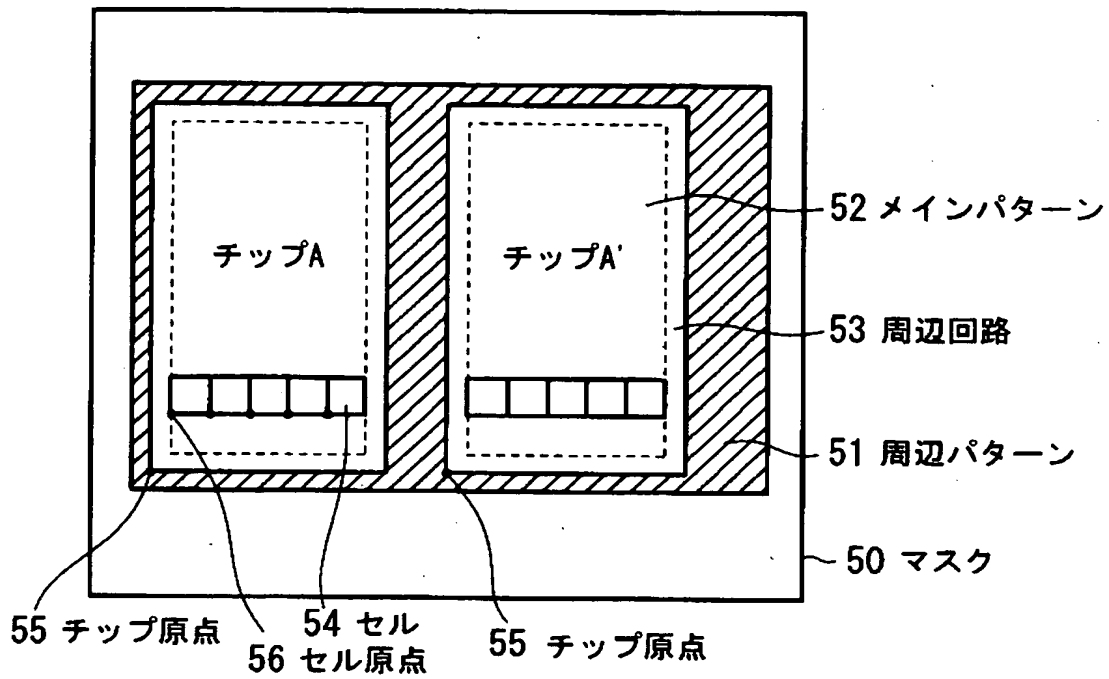
【図 1】



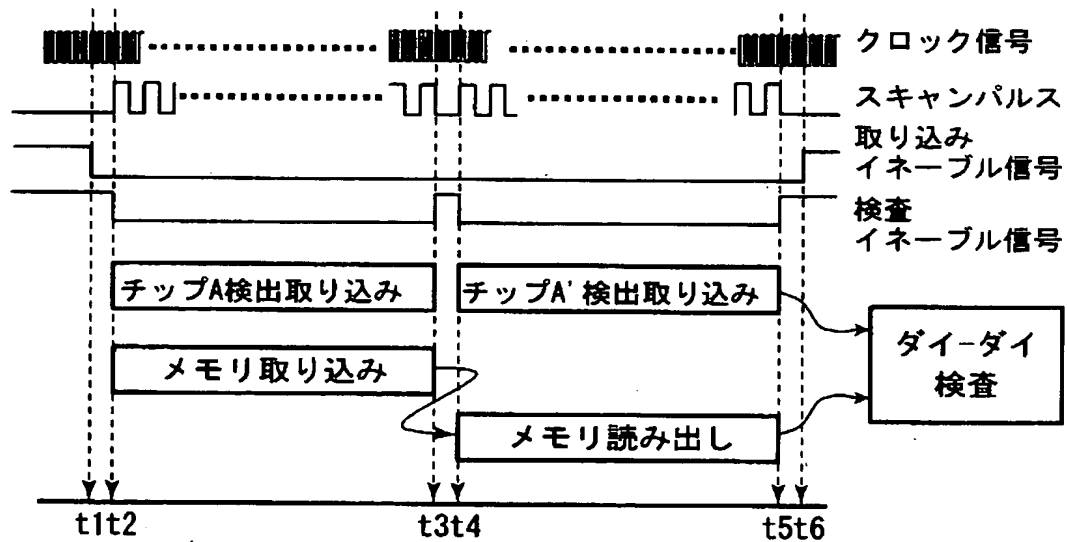
【図 2】



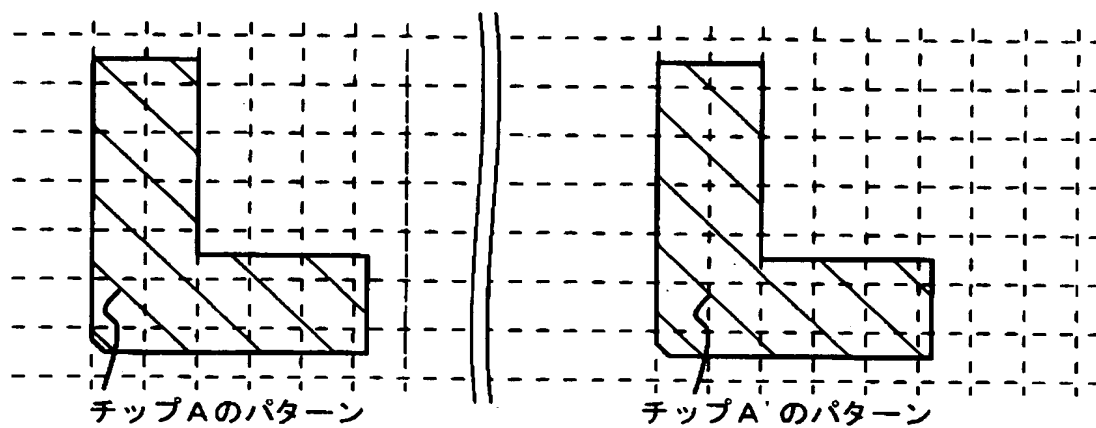
【図 3】



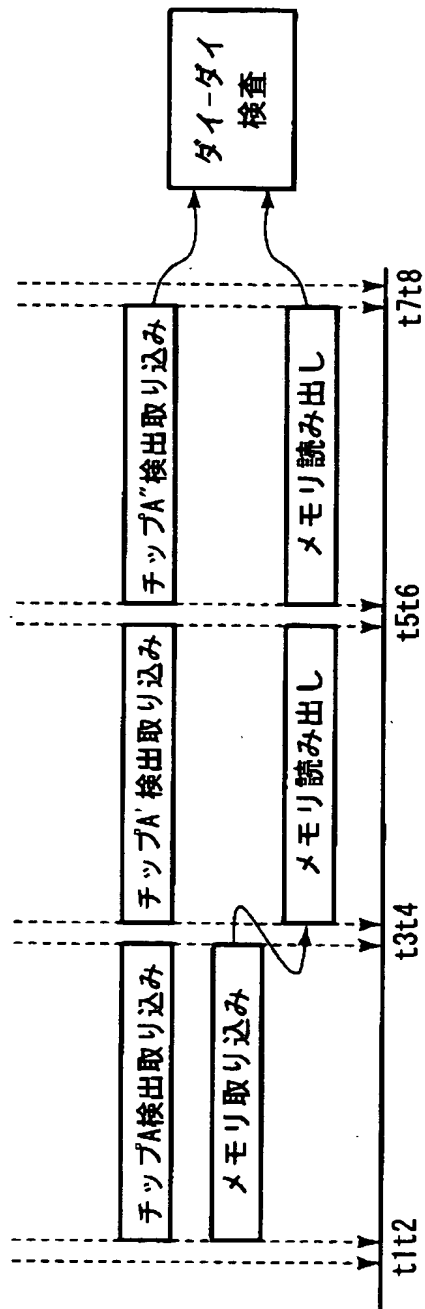
【図 4】



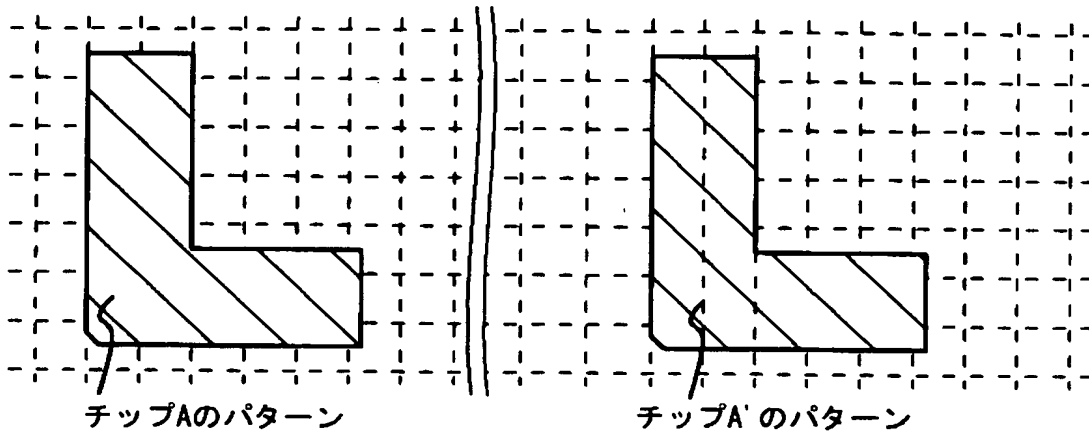
【図 5】



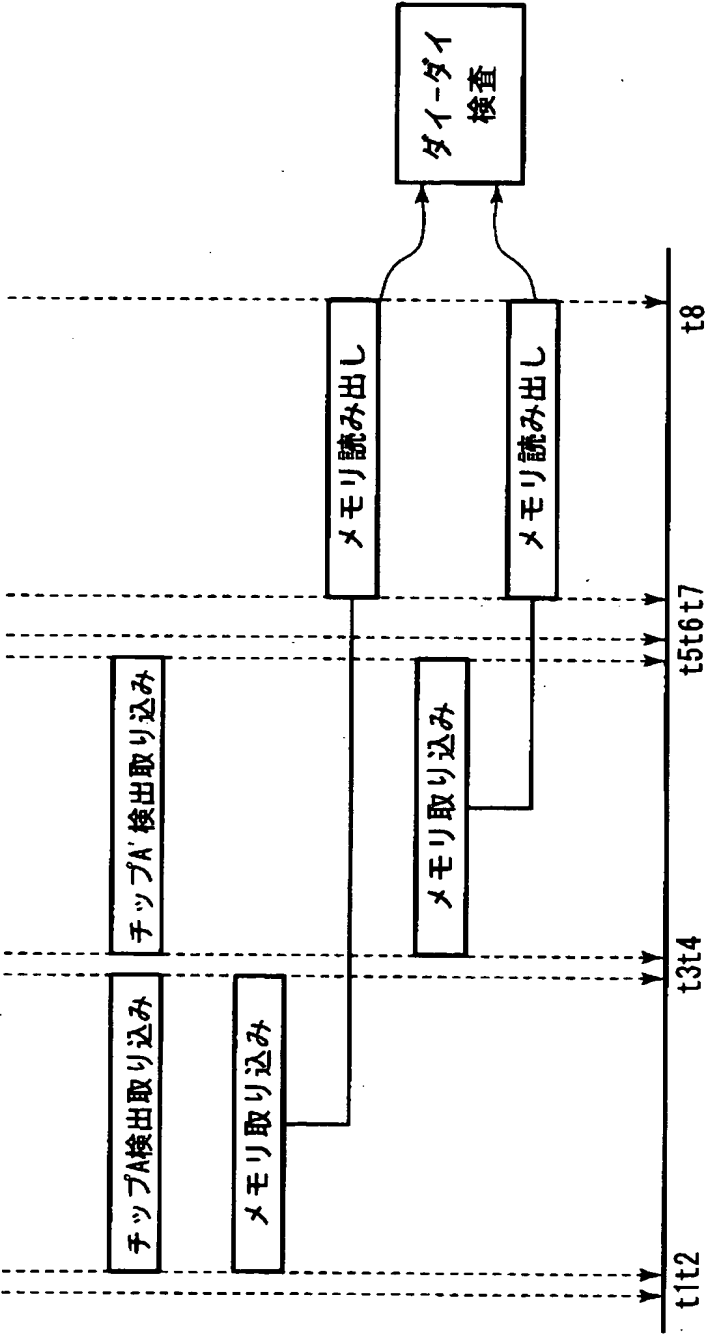
【図 6】



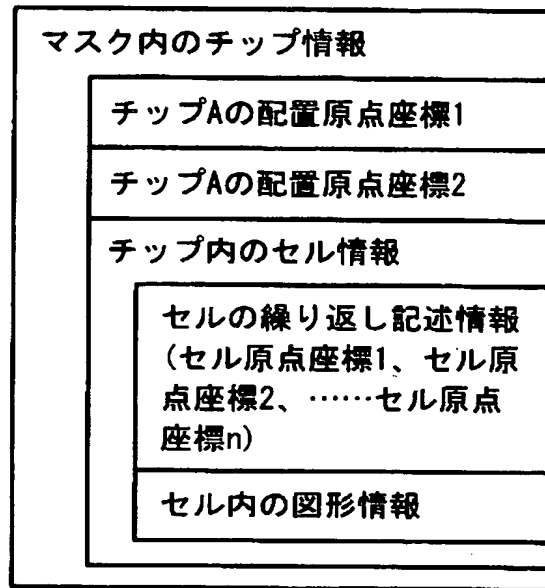
【図 7】



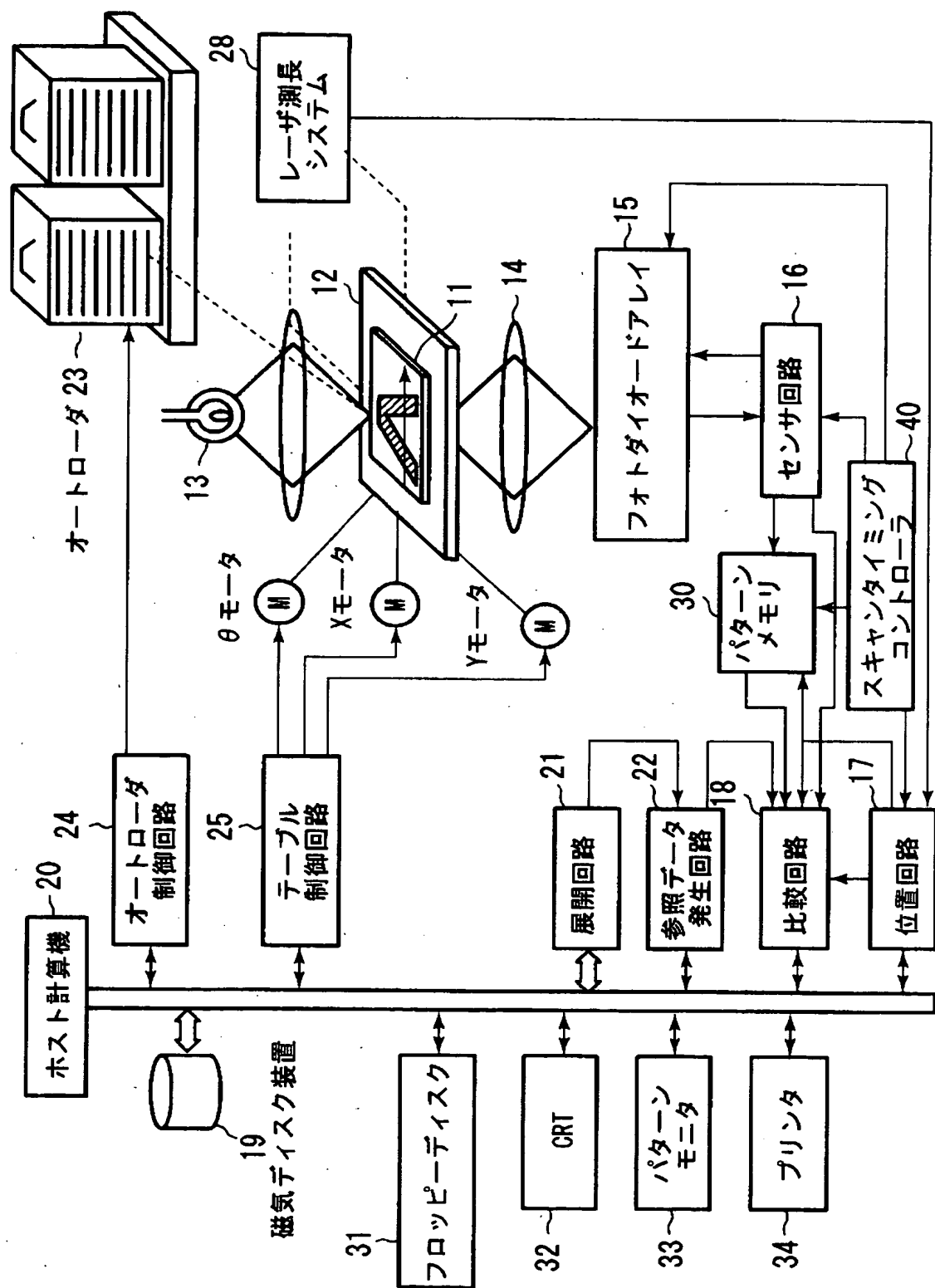
【図 8】



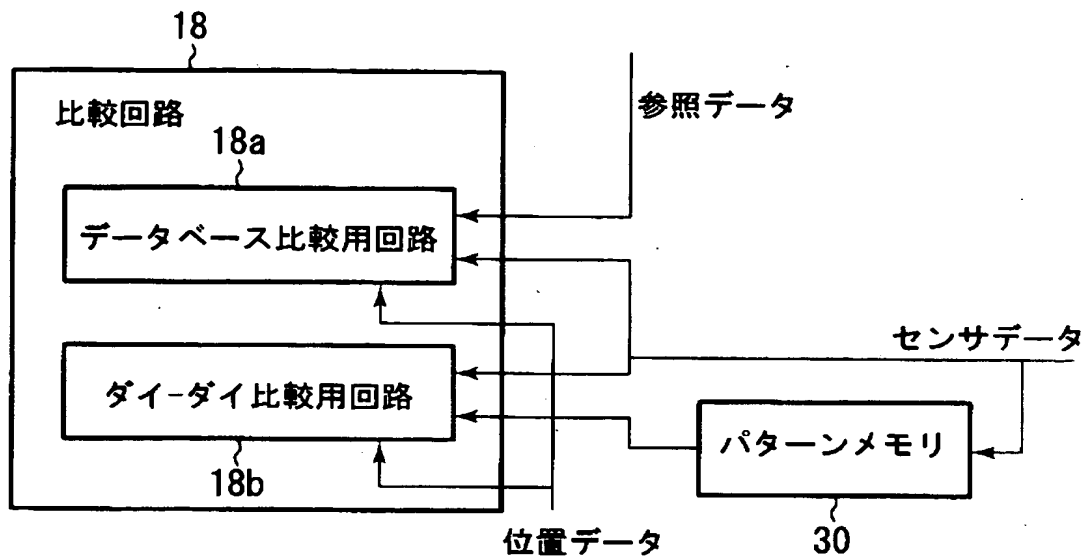
【図9】



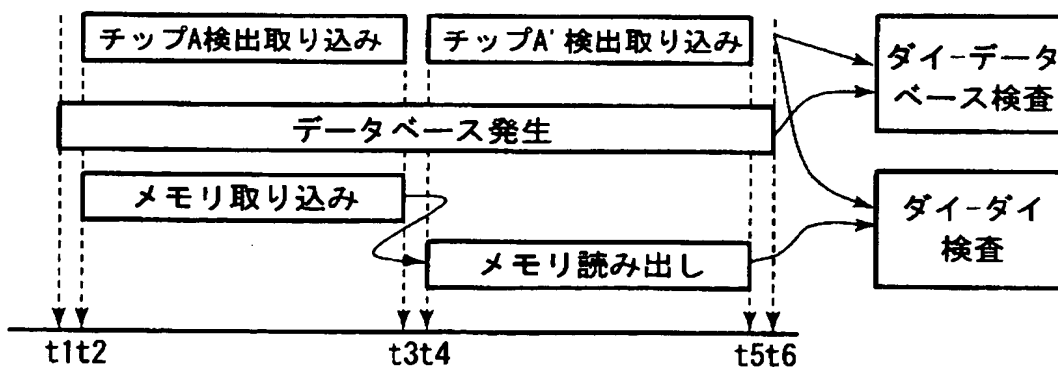
【図10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 見かけ上の画像画素の位置を補正することなくダイーダイ比較方式で比較する。

【解決手段】 ダイーダイ比較方式において、チップA'からの画像の取り込み時、チップA'中のパターンと前記画素との関係をチップA中のパターンと前記画素との関係に一致させる。

【選択図】 図5

特願 2002-382395

出願人履歴情報

識別番号

[000003078]

1. 変更年月日 2001年 7月 2日
 [変更理由] 住所変更
 住 所 東京都港区芝浦一丁目1番1号
 氏 名 株式会社東芝

2. 変更年月日 2003年 5月 9日
 [変更理由] 名称変更
 住所変更
 住 所 東京都港区芝浦一丁目1番1号
 氏 名 株式会社東芝